

# SEMICONDUCTOR DEVICE

**Publication number:** JP63199460 (A)

**Publication date:** 1988-08-17

**Inventor(s):** FUKADA TAKESHI; FURUKAWA SEJIROU; ISHIHARA HIROSHI; ASANO TANEMASA +

**Applicant(s):** NIPPON DENSO CO +

**Classification:**

- **International:** H01L21/28; H01L29/43; H01L21/02; H01L29/40; (IPC1-7): H01L29/46

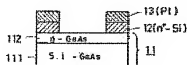
- **European:**

**Application number:** JP19870032713 19870216

**Priority number(s):** JP19870032713 19870216

**Abstract of JP 63199460 (A)**

**PURPOSE:** To enable formation of an ohmic electrode in which an excellent ohmic characteristic is set up so that needless recesses and projections or the like are not generated on an electrode surface in a state of excellent productivity, by forming a Si thin film on a semiconductor substrate made of GaAs so that the conductivity type of this film is identical with that of the substrate, and by forming an ohmic electrode corresponding with the Si thin film. **CONSTITUTION:** On a semiconductor substrate 11 made of GaAs, a silicon thin film 12 is formed so that its conductivity type is identical with that of the substrate 11, and an ohmic electrode 13 is formed corresponding with the silicon thin film 12. For example, on a surface of a semiconductor substrate 11 which is obtained by making a n-type GaAs layer 112 with set up impurity concentration of  $1 \times 10^{17} < 17 > \text{cm}^{-3}$  or more be formed on a semi-insulating GaAs substrate 111 by an epitaxial growth method, a silicon thin film layer is formed by a vacuum evaporation method, and a n-type silicon thin film layer 12 is formed by implanting  $P^{+}$  ions. Next, an ohmic electrode layer 13 made of Pt is formed into an insular pattern on the silicon thin film layer 12 by a lift off method. The insular electrode layer 13 is used as a mask so as to perform plasma etching of the silicon thin film layer 12.



Data supplied from the *espacenet* database — Worldwide

⑫ 公開特許公報(A) 昭63-199460

⑬ Int. Cl.<sup>4</sup>

識別番号

庁内整理番号

⑭ 公開 昭和63年(1988)8月17日

H 01 L 29/46

B-7638-5F

審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 昭62-32713

⑰ 出 願 昭62(1987)2月16日

特許法第30条第1項適用 昭和61年11月25日 社団法人電子通信学会発行の「電子通信学会技術研究報告」において発表

⑱ 発 明 者	深 田 毅	愛知県刈谷市昭和町1丁目1番地 日本電装株式会社内
⑲ 発 明 者	古 川 静 二 郎	神奈川県川崎市宮前区神木1の1の25
⑳ 発 明 者	石 原 宏	東京都大田区田園調布4の22の6
㉑ 発 明 者	浅 野 穂 正	神奈川県横浜市長区藤が岡2の41の21
㉒ 出 願 人	日本電装株式会社	愛知県刈谷市昭和町1丁目1番地
㉓ 代 理 人	弁理士 鈴江 武彦	外2名

明 細 書

1. 発明の名称

半 導 体 装 置

2. 特許請求の範囲

(1) GaAsからなる半導体基板に、この基板と同導電型に設定されるシリコンの薄膜を形成し、このシリコン薄膜に対応してオーミック電極が形成されるようにしたことを特徴とする半導体装置。

(2) 上記GaAs半導体基板は、n型GaAs層を含み構成され、このn型GaAs層に対応してn型のシリコン薄膜が形成されるようにした特許請求の範囲第1項記載の半導体装置。

(3) 上記オーミック電極は、高融点金属シリサイドによって構成されるようにした特許請求の範囲第1項記載の半導体装置。

(4) 上記GaAs半導体基板は、n型GaAs層を含み構成され、且つその不純物濃度が「 $1 \times 10^{17} \text{ (cm}^{-3}\text{)}$ 」以上に設定されるようにした特許請求の範囲第1項記載の半導体装置。

3. 発明の詳細な説明

【産業上の利用分野】

この発明は、GaAs半導体基板にオーミック電極が効果的に形成されるように改良した半導体装置に関する。

【従来の技術】

例えば、n型のGaAs半導体基板に形成されるようにするオーミック電極の材料としては、例えばAu-Geが一般的に用いられる。すなわち、この電極材料は電子ビーム蒸着法等によって上記半導体基板上に薄膜状に形成されるもので、この薄膜はさらに上記n型GaAsとのオーミック特性を得るために、共晶温度より高い350～500℃の熱処理を施すようにしている。すなわ

ち、このような熱処理によって、オーミック電極材料とn型GaAs半導体基板との間に合金層が形成され、オーミック特性が設定されるようになるものである。

しかし、上記のようにしてオーミック電極を形成させるようにした場合、半導体基板上に濡れの良い部分と、それほど良くない部分とが存在するものであるため、上記合金層の表面に凹凸が形成されるようになる問題点が存在する。

このように電極の表面に凹凸が存在するようになると、この電極の微細加工が著しく困難となるものであり、またGaAsによるICを製造する場合には、オーミック電極の形成後に上記のような熱処理と同様の熱処理工程を追加するようになると、上記合金反応がさらに進むようになる。したがって、オーミック特性がさらに劣化されるようになる。

またこのようなオーミック電極とは異なり、MBE連続成長法によって、 $n^+-Ge/n-GaAs$ ヘテロ構造によるオーミック電極が

- 3 -

いるものである。

#### 【作用】

すなわち、上記のような半導体装置にあっては、例えばn型のGaAs半導体基板に対して、さらに不純物濃度が高い状態とすることのできるシリコン薄膜が接触させて設定されるようになるものであり、このシリコン薄膜に金属電極が形成され、オーミック接触が設定されるようになる。上記シリコン薄膜は、GaAs基板と電子親和力差の小さい半導体とされるようになるもので、効果的なオーミック接触が設定されるようになるものであり、また熱処理後においても電極表面が平坦な状態とされるようになるもので、電極の微細加工等も容易に実施できるようになるものである。

#### 【発明の実施例】

以下、図面を参照してこの発明の一実施例を説明する。第1図は半導体装置の断面構造を示しているもので、半導体基板11の表面にシリコン薄膜

- 5 -

提案されている。しかし、このようなオーミック電極にあっては、MBEを用いるものであるため、生産性の点で特にICプロセスには適さないものである。

#### 【発明が解決しようとする問題点】

この発明は上記のような点に鑑みなされたもので、生産性が十分に良好な状態に保つことができれば、電極表面に不要な凹凸等が生ずることがなく、良好なオーミック特性が設定されるオーミック電極が形成されるようにする半導体装置を提供しようとするものである。

#### 【問題点を解決するための手段】

すなわち、この発明に係る半導体装置にあっては、GaAsからなる半導体基板に、この基板と同導電型のシリコン薄膜を形成し、このシリコン薄膜に関連してオーミック電極が形成されるようにしているものであり、例えばn型のGaAs基板にn型のシリコン薄膜が形成されるようにして

- 4 -

層12が形成されている。ここで、上記半導体基板11は、半絶縁性GaAs基板111の上に、不純物濃度「 $1 \times 10^{17} (cm^{-3})$ 」以上に設定したn型のGaAs層112をエピタキシャル成長させることによって形成するようにして構成される。そして、上記シリコン薄膜層12の上に、Ptによるオーミック電極層13を形成させるようにするものである。

ここで、上記電極層13は適宜島状パターンに対応して形成されるものであり、この島状パターンは適宜リフトオフ法によって形成され、またこの島状にされた電極層13をマスクとしてシリコン薄膜層12をプラズマエッチングして、この半導体装置が完成されるようにする。

第2図は上記半導体基板11にシリコン薄膜層12を形成するための手段を説明するもので、このシリコン薄膜層12は真空蒸着法によって形成される。

すなわち、第1図で説明したようにGaAs基板111上に特定される不純物濃度に設定されるn型GaAs層112をエピタキシャル成長によって

- 6 -

形成するようにして構成された半導体基板11は、第2図の(A)で示すように真空蒸着装置を構成する真空容器21内に設定する。そして、この半導体基板11の温度を約300℃まで上昇させ、同じく真空容器21内に設定されるシリコン材料22を用いて、電子ビーム蒸着法によって、上記基板11の表面に第2図の(B)で示すようにシリコン薄膜23を堆積させる。ここで、上記半導体基板11の上に堆積されたシリコン薄膜23の膜厚は、100nm程度である。

このようにしてシリコン薄膜23が堆積形成された後は、このシリコン薄膜23にn型の不純物を導入する。すなわち、イオン注入装置を用いて室温の状態で、加速電圧40KeV、ドーズ量「 $2 \times 10^{15} \text{cm}^{-2}$ 」の条件で、P<sup>+</sup>イオンを打込むようにして、n型のシリコン薄膜12が形成されるようにする。

尚、シリコン薄膜23に導入される不純物としては例えばリンが用いられるもので、上記のような条件のもとでは、リンの最大濃度はシリコン薄膜

- 7 -

サイトに入り、界面GaAsの電子密度を低下させ、トンネル電流伝導機構を妨げ、さらにオーミック特性を阻害することが明らかとなった。

そこで、上記Ge膜に代わり800℃程度の高温でn-GaAs中に拡散した材料がドナーとなり、界面GaAsの電子密度を高く保てるようにする材料として、実験により求めた結果、n型のシリコンが界面GaAsの電子密度を高く保つことができ、また良好なオーミックコンタクトとなることを確認したものである。また、熱処理工程後においても、オーミック電極の表面が平坦な状態に設定されることも確認された。

上記実施例において、シリコン薄膜を形成する手段として電子ビーム蒸着法を示しているものがあるが、この手段以外にも例えば低抵抗加熱法、スパッタリング法、CVD法等が適宜使用できるものである。

また、オーミック電極13は、Ptを使用して高融点金属シリサイドを形成することによって構成

層12の膜厚中央に位置するようになる。

このようにしてイオンが注入されたならば、上記P<sup>+</sup>イオンを電気的に活性化するために、上記半導体基板11を電気炉に入れ、N<sub>2</sub>の雰囲気中において850℃で15分間熱処理を行ない、シリコン薄膜23をn+シリコン薄膜層12とするものである。

第3図は上記のようにして構成された半導体装置の、実験によって確認された島と島との間の電流-抵抗特性を示しているもので、良好なオーミック特性を示していることが判明した。また、この半導体装置にあっては、Ptによって構成されたオーミック電極13の表面は、この電極の微細加工上で問題とならない程度に平坦な状態であった。

発明者等のこれまでの種々の実験等の結果から、n-Ge/n-GaAsヘテロ構造で良好なオーミック特性を得るためには、界面n-GaAsの電子密度を高く保たなければならないことが判明した。そしてGe膜を用いた場合、800℃程度の高温でGaAs中に拡散したGeがアクセプ

- 8 -

されるように説明しているものであるが、それ以外に例えばMo、W、Ta、Ti等を用いてシリサイドを形成することによって構成できるものである。

高密度ICの製造プロセスにおいては、トランジスタ等の形成後に、半導体表面保護膜として酸化ケイ素や窒化ケイ素等の薄膜を堆積して、半導体表面の劣化を阻止するようにすることが一般的に行われている。しかし、共晶点が400℃以下と低いAu-Ge合金等を用いてオーミック電極を形成した場合には、基板温度を充分に上げて保護膜を堆積させることができないものであり、保護膜としての機能が充分に発揮できる膜を堆積することができない。

しかし、上記実施例で示したようにn型シリコンを用いてn型GaAsへのオーミック電極を形成するようにすれば、850℃で15分間の熱処理工程の後でも良好なオーミック特性が得られるものであり、したがってオーミック電極の形成後においても基板温度を充分に上昇させることがで

- 10 -

き、良好な保護膜の堆積が容易に行なえるようになる。

また、上記  $n$  型シリコン薄膜部からの電極取り出しに際しては、 $500 \sim 700^\circ\text{C}$  の高温でも安定な  $\text{PtSi}$ 、あるいは  $\text{MoSi}_2$  に代表されるような高融点金属シリサイド等を用いることによって、金属電極をも含んだ耐熱性が良好とされるようになる。

さらに高付加価値の IC 等を製造することを考慮すれば、 $n$  型シリコンオーミック電極形成後に、さらに 3 次元的にトランジスタ等を形成することができ、IC プロセスに大きな余裕が得られるようになることが期待できる。

第 4 図は半導体装置の他の例を示しているもので、シリコン基板 31 上の所定の位置に適宜マスクパターンを用いて  $P^+$  イオンを打込み、 $n^+$  シリコン層 34 を形成する。このような状態で上記  $P^+$  イオンを電気的に活性化するために、電気炉アニールを行うようにする。その後上記シリコン基板 31 に  $n$  型  $\text{GaAs}$  層 32 を、例えば  $\text{MOCVD}$

— 11 —

法あるいは  $\text{MBE}$  によってエピタキシャル成長によって形成する。そして、最後に  $\text{Pt}$  によるオーミック電極 34 を形成し、この半導体装置が完成されるものである。

尚、上記実施例では  $n$  型の  $\text{GaAs}$  半導体基板に  $n$  型のシリコン薄膜層を設定するように説明したが、これは  $p$  型の  $\text{GaAs}$  基板に  $p$  型のシリコン薄膜層を形成するようにしても上記同様の効果が期待できるものである。

#### 〔発明の効果〕

以上のようにこの発明に係る半導体装置によれば、例えば  $n$  型  $\text{GaAs}$  半導体基板へのオーミック電極に、同導電型シリコンを用いることによって、この電極の微細加工上で問題とならない程度の平坦な表面が得られるようになり、また、半導体装置への保護膜形成あるいは高付加価値の IC を製造するための熱処理工程後において、安定で且つ低抵抗のオーミック電極が形成されるようになるものである。

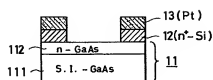
— 12 —

#### 4. 図面の簡単な説明

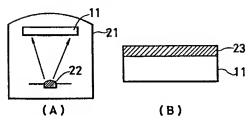
第 1 図はこの発明の一実施例に係る半導体装置の断面構成を示す図、第 2 図は上記半導体装置の製造手段を説明するもので (A) はシリコン層の形成手段を説明する図、(B) はシリコン層の形成された半導体基板を示す図、第 3 図は上記半導体装置における電極間の電圧—電流特性を示す図、第 4 図はこの発明の他の実施例を示す図である。

11…半導体基板、111…半絶縁性  $\text{GaAs}$  基板、112… $n$  型  $\text{GaAs}$  層、12… $n$  型シリコン薄膜層、13…オーミック電極。

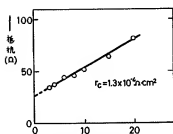
出版人代理人 弁理士 鈴 江 武 彦



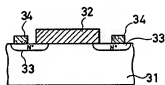
第 1 図



第 2 図



第 3 図



第 4 図